

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-028992

(43)Date of publication of application : 31.01.1990

(51)Int.Cl.

H05K 3/20
B29C 45/16
// B29C 33/14
B29L 31:34

(21)Application number : 63-179550

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 19.07.1988

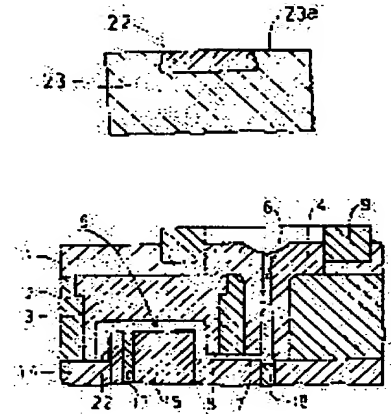
(72)Inventor : MARUYAMA YOSHIO
OKUMURA TAKESHI
NARITA MASACHIKA

(54) MANUFACTURE OF CIRCUIT BOARD

(57)Abstract:

PURPOSE: To manufacture a circuit pattern easily even when the circuit pattern is formed to a three-dimensional shape by forming the circuit pattern onto the surface facing the cavity of a molding die and resin-molding the circuit pattern.

CONSTITUTION: A conductor circuit 22 is shaped onto the surface of a core 15 through drawing by a thick-film drawing method by using conductor paste such as silver paste or printing by employing a rubber roller, etc. The conductor paste forming the conductor circuit 22 is cured or baked. The core 35 to which the conductor circuit 22 is shaped is set to a molding die, and a molding resin is force-fed from a sprue 6, and filled into a cavity 5. The molding resin filled is cooled by the molding die and cured. The conditions of a high baking temperature of 850-900° C and approximately thirty min are used on silver palladium paste, thus allowing the usage of the core 5 made of alumina ceramics polyether sulfone, etc., are employed as the molding resin. The circuit 22 is buried into the surface of a board 23, and the surface 23a is flattened. When the sectional shape of the conductor circuit 22 is formed to an inverted trapezoidal shape, the conductor circuit 22 is not peeled.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平2-28992

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月31日

H 05 K 3/20
B 29 C 45/16
// B 29 C 33/14
B 29 L 31:34

A 6736-5E
7258-4F
8415-4F
4F

審査請求 未請求 請求項の数 3 (全4頁)

⑭ 発明の名称 回路基板の製造方法

⑮ 特 願 昭63-179550

⑯ 出 願 昭63(1988)7月19日

⑰ 発 明 者 丸 山 義 雄 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑰ 発 明 者 奥 村 武 志 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑰ 発 明 者 成 田 正 力 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑲ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

回路基板の製造方法

2. 特許請求の範囲

(1) 成形型のキャビティに臨む表面に回路パターンを形成し、この成形型を用いて樹脂成形して回路パターンを有する回路基板を得ることを特徴とする回路基板の製造方法。

(2) 成形型の表面に、回路パターンの離型性を高める表面処理層が形成されている請求項1記載の回路基板の製造方法。

(3) 請求項1又は2記載の方法で製造された回路基板。

3. 発明の詳細な説明

産業上の利用分野

本発明は回路基板の製造方法に関するものである。

従来の技術

従来、各種電気製品における回路基板はベークライト板などの平板状のプラスチック板にプリン

ト配線したものが一般的に用いられ、ケース内にこの回路基板を配置していた。しかし、近年、電気製品の小型、軽量化を図るため、上記のような平板状の回路基板を無くし、ケースの内側表面に導体回路を形成してケース自体を回路基板としたり、ケースの形状等に合わせた立体形状の回路基板を用いることが提案されている。

このようなケース兼用の回路基板や立体形状の回路基板を製造する方法としては、ケースや立体基板を形成した後その内側表面に導体回路をスクリーン印刷やタンボ印刷にて形成したり、電気メッキしたりする方法があった。

また、第7図に示すように、転写フィルム31を用いてその表面に回路パターン32を形成し、この転写フィルム31を、成形型33a、33bのキャビティ34内に回路パターン32が臨むように挿入して保持し、その状態でスプル35、ラシナ36等を通じてキャビティ34内に成形用樹脂を注入し、硬化することによって、ケース又は基板の成形と同時に転写フィルム31上の回路パ

ターン32をケース又は基板の表面に一体化させて回路パターンを形成する方法が提案されている(特開昭62-280018号公報参照)。

発明が解決しようとする課題

ところが、回路パターンを印刷又は電気メッキで形成する方法では、3次元形状のケースの内面に回路パターンを形成するのは大変難しく、それに対処するために生産性が悪くなり、また高い位置精度で回路パターンを形成するのは困難であるという問題があった。また、形成された回路パターンは表面より突出しているため、その上に厚膜描画法で抵抗を形成する場合などに表面高さが変化するので描画し難いという問題もある。

また、転写フィルムを用いる方法においては、3次元形状のケースに対して適用する場合は転写フィルムの伸びによって対処するのでフィルムに皺等が発生せず形成するのが困難で、特に断面高さの高いものには適用不可能であり、さらに回路パターンの位置精度が低いものとなるという問題がある。

ため、その上に厚膜描画法で抵抗等を形成する場合にも容易に形成することができる。

実施例

以下、本発明の一実施例を第1図～第6図に基づいて説明する。

まず、ケース兼用の回路基板を形成するための成形型の構成を説明する。第2図において、固定側取付板1にキャビティブッシュ3を保持した固定側型板2が取付けられている。前記キャビティブッシュ3の側方に前記固定側取付板1及び固定側型板2を貫通してスプリング4が配置され、キャビティブッシュ3内のキャビティ5とスプリング4内のスプリング6とがランナ7とゲート8を介して連通されている。9はロケットリングである。

可動側取付板11には、スペーサブロック12を介して受け板13が取付けられ、その上にコア15を保持した可動側型板14が取付けられている。16は可動側型板14に保持されるとともに前記固定側型板2に出退可能に挿通されたガイド

本発明は、上記従来の問題点に鑑み、3次元形状であっても容易に製造できる回路基板の製造方法を提供することを目的とする。

課題を解決するための手段

本発明は上記目的を達成するために、成形型のキャビティに臨む表面に回路パターンを形成し、この成形型を用いて樹脂成形して回路パターンを有する回路基板を得ることを特徴とする。

好ましくは、前記成形型の表面に、回路パターンの離型性を高める表面処理層が形成される。

作用

本発明によると、3次元形状の回路基板の内面に回路パターンを形成する場合でも、成形型の凸部外面に回路パターンを形成すれば良く、断面高さの高い3次元形状であっても製造することができると共に作業性も良く、描画法や印刷等によって能率的に製造できる。又、成形型に回路パターンを形成するので、回路基板上の回路パターンの位置精度も高い。更に、形成された回路パターンは回路基板の表面に埋入されて表面が平坦である

ピンである。17は突き出しピン、18はスプリングロックピン、19はリターンピンであり、それらの下端は固定配置された突き出し板20に固定されている。

前記コア15の前記キャビティ5内に臨む表面には、第3図に示すように、離型性を高めるような表面処理層21が形成されている。この表面処理層21としては、多孔質のニッケルやクロムのメッキ層の孔内にポリテトラフルオールエチレンを含浸させたもの、又アルミ金型の場合は多孔質のアルマイト層の孔内にポリテトラフルオールエチレンを含浸させたものが好適である。この表面処理層21は、キャビティ5内に成形樹脂を充填する際にはコア15の表面に形成した導体回路22が離型することではなく、成形樹脂が硬化すると導体回路22が成形品と一体となってコア5から容易に離型するような適当な離型性を持つように設計されている。

次に、以上のような成形型を用いて回路基板を形成する過程を説明する。まず、セットする前の

コア15の表面に、第3図に示すように導体回路22を形成する。この導体回路22の形成方法としては、銀ペースト(Ag+樹脂)や銀-パラジウムペースト(Ag(80%) - Pd(20%)+ガラス粉末+セルロース系樹脂)などの導体ペーストを用いて厚膜描画法にて描画形成する。また、ゴムローラ等を用いて印刷形成してもよい。その後、導体回路22を形成する導体ペーストを硬化又は焼成する。銀ペーストの場合は、250℃、15分程度で硬化し、銀-パラジウムペーストの場合は、850～900℃、30分程度で焼成する。そのため、銀-パラジウムペーストを用いる場合はアルミナセラミック製のコア5を用いるとよい。

次に、導体回路22を形成したコア15を第2図に示すように成形型にセットし、第1図に示すように、成形用の樹脂をスプル6から圧送し、キャビティ5内に充填する。この成形用樹脂としては、ポリエーテルサルフォン(PES)、ポリエーテルイミド(PEI)、ポリフェニレンサルフ

ァイド(PPS)、ポリオキシベンジレン(POB)等を用いる。充填された成形樹脂は成形型にて冷却されて硬化する。その後、成形型を開いて成形品を取り出すことによって、第4図に示すような回路基板23が得られる。

この回路基板23において、導体回路22は、第5図に示すように、回路基板23の表面に埋入しており、導体回路22の部分でも回路基板23の表面23aは平坦である。従って、この回路基板23の表面の導体回路22間に、第6図に示すように、厚膜描画法にて抵抗24を形成する場合に、容易に描画が可能である。さらに、コア5の表面に形成する導体回路22の断面形状を倒立台形状にすると、第5図に示すように、導体回路22が剝離しないように回路基板23の表面に埋入される。

その後、この回路基板23に、第4図に示すように、適宜電子部品25が装着される。

上記実施例では、回路基板23に形成する回路パターンとして導体回路22のみの場合を例示し

たが、抵抗やコンデンサを含むものであってもよい。

発明の効果

本発明の回路基板の製造方法によれば、以上のように3次元形状の回路基板の内面に回路パターンを形成する場合でも、成形型の凸部外面に回路パターンを形成すれば良く、断面高さの高い3次元形状であっても製造することができ、かつ作業性も良いため能率的に製造できる。又、成形型に回路パターンを形成するので、回路基板上の回路パターンの位置精度も高い。更に、形成された回路パターンは回路基板の表面に埋入されて表面が平坦であるため、厚膜描画法で抵抗等を形成する場合にも容易に形成することができる等、大なる効果を発揮する。

4. 図面の簡単な説明

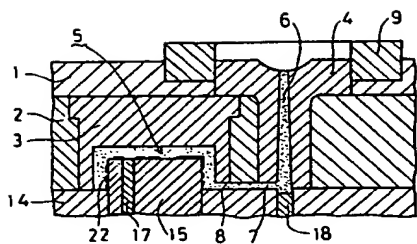
第1図～第6図は本発明の一実施例を示し、第1図は成形過程の要部の縦断正面図、第2図は成形型の縦断正面図、第3図は成形型の表面に導体回路を形成した状態の拡大断面図、第4図は製造

された回路基板の部分斜視図、第5図は同導体部の部分拡大断面図、第6図は導体回路に抵抗を描画形成した状態の部分拡大断面図、第7図は従来の回路基板の製造過程の縦断正面図である。

15…コア(成形型)、21…表面処理層、22…導体回路(回路パターン)、23…回路基板。

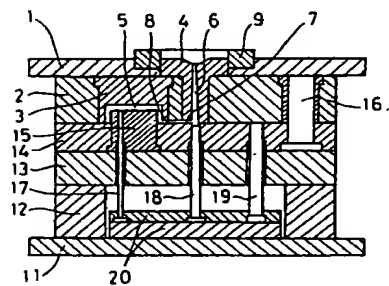
代理人 嶋井 理士 粟野 重孝 ほか1名

第 1 図

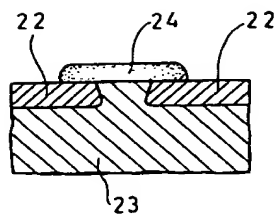


15...成型型

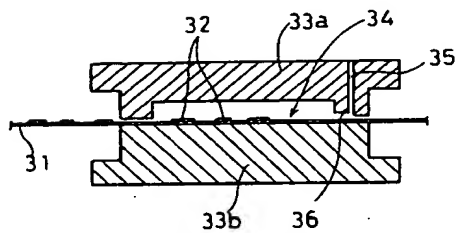
第 2 図



第 6 図

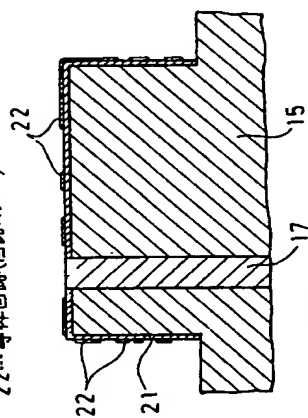


第 7 図



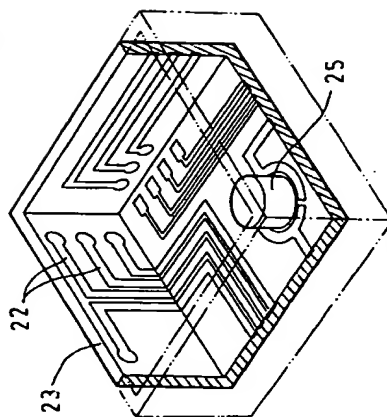
第 3 図

21...表面処理層
22...導体回路(回路パターン)



第 4 図

23...回路基板



第 5 図

